

DRIVING CIRCUIT AND DRIVING METHOD FOR CAPACITIVE LOAD

Patent Number: JP8320669
Publication date: 1996-12-03
Inventor(s): SANO YOSHIO; OBA MASATAKA
Applicant(s):: NEC CORP
Requested Patent: ☐ JP8320669
Application Number: JP19950127639 19950526
Priority Number(s):
IPC Classification: G09G3/28 ; G09G3/30
EC Classification:
Equivalents: JP2776298B2

Abstract

PURPOSE: To simplify an electric charges collection type driving circuit for a capacitive load driven by an alternative pulse.

CONSTITUTION: In a plasma display panel, electric charges are collected from a scanning electrode holding a holding electrode at a ground potential (61), the scanning electrode is held at a negative potential (62), electric charges are returned to the scanning electrode (63), successively it is held at a ground potential (64). Electric charges are collected from the scanning electrode making the holding electrode floating (65), this is once held at a negative potential (66). Successively electric charges are returned to the scanning electrode holding the holding electrode at a negative potential (67). The scanning and the holding electrodes are held at a ground potential (68), electric charges are collected from the scanning electrode (69), the scanning and the holding electrodes are held at a ground potential (70), electric charges are returned to the scanning electrode making the scanning electrode floating (71), and the scanning and the holding electrodes are held at a ground potential (72). A period of repeating this is a holding discharge period.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-320669

(43) 公開日 平成8年(1996)12月3日

(51) Int.Cl.⁶

G 0 9 G 3/28
3/30

識別記号

庁内整理番号

4237-5H
4237-5H

F I

G 0 9 G 3/28
3/30

技術表示箇所

H
H

審査請求 有 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平7-127639

(22) 出願日 平成7年(1995)5月26日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 佐野 興志雄

東京都港区芝五丁目7番1号 日本電気株
式会社内

(72) 発明者 大場 雅高

東京都港区芝五丁目7番1号 日本電気株
式会社内

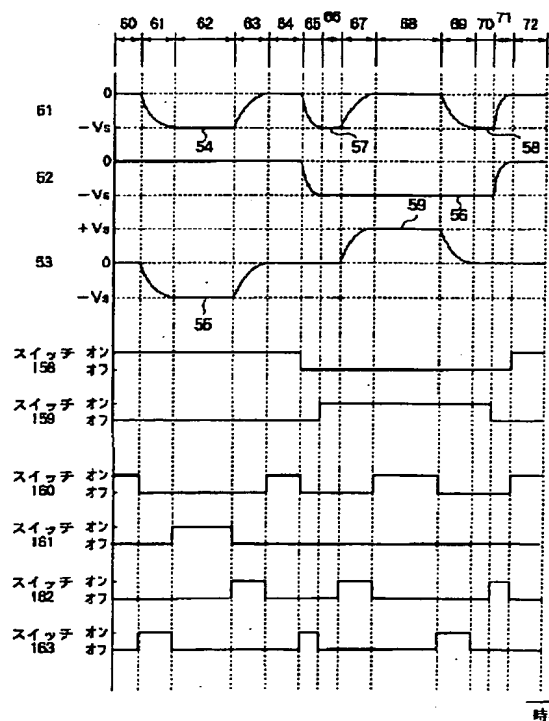
(74) 代理人 弁理士 稲垣 清

(54) 【発明の名称】 容量性負荷の駆動回路及び駆動方法

(57) 【要約】 (修正有)

【目的】 交番パルスで駆動される容量性負荷の電荷回収型駆動回路を簡素化する。

【構成】 プラズマディスプレイパネルにおいて、維持電極を接地電位に維持しつつ、走査電極から電荷を回収し、61、走査電極を負電位に維持し62これに電荷を戻し63、次いで接地電位に維持する64。維持電極をフローティングさせつつ、走査電極から電荷を回収し65、これを一旦負電位に維持する66。次いで、維持電極を負電位に維持しつつ、走査電極に電荷を戻す67。走査及び維持電極を接地電位に維持し68、走査電極から電荷を回収し69、走査及び維持電極を接地電位に維持し70、走査電極をフローティングさせつつ、走査電極に電荷を戻し71、走査及び維持電極を接地電位に維持する72。これを繰り返して維持放電期間とする。



時間

【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の電極を有する容量性負荷に正負両極性のパルスを交互に印加する、容量性負荷の駆動回路において、

前記第 1 の電極との間で周期的に電荷の授受を行なう電荷回収回路と、前記電荷の授受の期間以外の少なくとも一部の期間において前記第 1 の電極を第 1 又は第 2 の所定電位にクランプする第 1 クランプ回路と、前記第 2 の電極を第 3 又は第 4 の所定電位にクランプすると共に一部の期間に電荷の授受の期間に対応して前記第 2 の電極をフローティングさせる第 2 クランプ回路とを備えることを特徴とする容量性負荷の駆動回路。

【請求項 2】 前記第 1 の所定電位と第 3 の所定電位とが実質的に等しく、前記第 2 の所定電位と第 4 の所定電位とが実質的に等しい、請求項 1 に記載の容量性負荷の駆動回路。

【請求項 3】 前記電荷回収回路が電荷回収用コンデンサ及びリアクトルを含む、請求項 1 又は 2 に記載の容量性負荷の駆動回路。

【請求項 4】 前記電荷回収回路がリアクトルの逆起電力を利用する回路として構成される、請求項 1 又は 2 に記載の容量性負荷の駆動回路。

【請求項 5】 第 1 及び第 2 の電極を有する容量性負荷に正負両極性のパルスを交互に印加する、容量性負荷の駆動方法において、

第 2 の電極を一方の所定電位に維持しつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 1 電位に維持するステップ、

第 2 の電極を前記一方の所定電位に維持しつつ、第 1 の電極に電荷を戻し次いで第 1 の電極を第 2 電位に維持するステップ、

第 2 の電極をフローティングさせつつ、第 1 の電極から電荷を回収するステップ、

第 2 の電極を他方の所定電位に維持しつつ、第 1 の電極に電荷を戻し次いで第 1 の電極を第 2 電位に維持するステップ、

第 2 の電極を前記他方の所定電位に維持しつつ、第 1 の電極から電荷を回収するステップ、及び、

第 2 の電極をフローティングさせつつ、第 1 の電極に電荷を戻し次いで第 1 の電極を第 2 の電位に維持するステップを順次に且つ周期的に有することを特徴とする容量性負荷の駆動方法。

【請求項 6】 第 1 及び第 2 の電極を有する容量性負荷に正負両極性のパルスを交互に印加する、容量性負荷の駆動方法において、

第 2 の電極を一方の所定電位に維持しつつ、第 1 の電極に電荷を与える次いで第 1 の電極を第 1 電位に維持するステップ、

第 2 の電極を前記所定電位に維持しつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 2 電位に維持する

ステップ、

第 2 の電極をフローティングさせつつ、第 1 の電極に電荷を与えるステップ、

第 2 の電極を他方の所定電位に維持しつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 2 電位に維持するステップ、

第 2 の電極を前記他方の所定電位に維持しつつ、第 1 の電極に電荷を与えるステップ、及び、

第 2 の電極をフローティングさせつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 2 の電位に維持するステップを順次に且つ周期的に有することを特徴とする容量性負荷の駆動方法。

【請求項 7】 前記容量性負荷がフラットディスプレイパネルであることを特徴とする請求項 5 又は 6 に記載の容量性負荷の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、容量性負荷の駆動回路及び駆動方法に関し、特に、従来よりも少ない部品点数で製作できる、電荷回収型の容量性負荷の駆動回路及び方法に関する。

【0002】

【従来の技術】 正負の両極性パルスが必要とする容量性負荷としては、情報端末機器やパーソナルコンピュータ、あるいはテレビジョン等の画像表示装置として用いられる、プラズマディスプレイパネルやエレクトロルミネセントパネル、液晶パネル等のフラットパネルなどがある。従来の容量性負荷の駆動回路として、ここでは、プラズマディスプレイパネル (PDP) の駆動回路について述べる。

【0003】 図 9 は、PDP の 1 つの表示セルの列電極に沿う断面図である。同図において、PDP は、ガラス製の前面の第 1 絶縁基板 11 及び背面の第 2 絶縁基板 12 を備える。第 1 絶縁基板 11 上には、行電極を構成する透明な走査電極 17 及び維持電極 18、これら各行電極上に形成されるバス電極 19、電極全体を覆う第 1 絶縁層 20、及び、表示セルを区画するグリッド状の第 1 隔壁 21 が順次に形成され、更に、第 1 絶縁層 20 を覆って MgO 等からなる保護層 22 が形成されている。

【0004】 第 2 絶縁基板 12 上には、行電極と直交する透明な列電極 (データ電極) 13、列電極を覆う第 2 絶縁層 14、及び、第 1 隔壁 15 と共同して表示セルを区画するグリッド状又はストライプ状の第 2 隔壁 15 が順次に形成され、これら全体を覆って蛍光体 16 が塗布されている。第 1 及び第 2 隔壁 21、15 により各表示セルを構成する放電ガス空間 23 が格子状に形成され、放電ガス空間 23 には希ガス等の放電ガスが充填される。

【0005】 図 10 は、上記 PDP の全体をその電極構成に着目して示す平面模式図である。PDP 25 は、前

面の第1絶縁基板11と背面の第2絶縁基板12とが張合わされた構造を有し、シール部26により内部空間が気密にシールされている。図面上で、各走査電極17は符号 S_1 、 S_2 、 \dots 、 S_m で、各維持電極18は符号 C_1 、 C_2 、 \dots 、 C_n で、各列電極13は符号 D_1 、 D_2 、 \dots 、 D_{n-1} 、 D_n で示されている。なお、以下の記述においては、例えばi番目の行電極とj番目の列電極との交点の表示セル24を a_{ij} で示す。

【0006】図11は、上記PDPの駆動で用いられる駆動電圧の波形を示す。同図において、波形(A)は維持電極 C_1 、 C_2 、 \dots 、 C_n に印加される電圧波形を、波形(B)は走査電極 S_1 に印加される電圧波形を、波形(C)は走査電極 S_2 に印加される電圧波形を、波形(D)は走査電極 S_m に印加される電圧波形を、波形(E)は列電極 D_1 に印加される電圧波形を、波形(F)は列電極 D_2 に印加される電圧波形を、波形(G)は表示セル a_{11} の発光波形を、夫々示している。なお、波形(E)や波形(F)で示したデータパルス34の内の斜線パルスは、書き込むべきデータに従ってパルスの有無が決定されることを示す。

【0007】以下、上記型式の従来のPDPの動作を簡単に説明する。なお、本明細書中において、パルスの前縁とはパルス電圧の印加が始まってから、略最終電圧に到達するまでのパルス部分、またパルスの後縁とは、パルス電圧の除去が始まってから、パルス電圧がほぼ完全に取り去られるまでのパルス部分を指す。たとえば、正極性パルスにおいては立上がり部分がパルスの前縁であり、立下がり部分がその後縁である。また、負極性パルスにおいては、パルスの立下がり部分が前縁であり、パルスの立上り部分が後縁である。

【0008】まず、各走査電極 S_1 、 S_2 、 \dots 、 S_m に一斉に負極性の消去パルス35を印加することにより、それまでの維持放電を一旦消去する。つぎに、振幅の大きな負極性のプライミングパルス36を全ての維持電極 C_1 、 C_2 、 \dots 、 C_n に印加し、書き込み放電の際に放電の種となるプライミング粒子を生成するプライミング放電をパネル全面で行う。次いで、プライミング放電が維持放電にそのままつながらないように、振幅の小さなプライミング消去パルス37を各走査電極 S_1 、 S_2 、 \dots 、 S_m に一斉に印加する。

【0009】引き続き、書き込み放電期間に入り、各走査電極 S_1 、 S_2 、 \dots 、 S_m に線順次に走査パルス33を印加すると同時に、このパルスに同期して各列電極 D_1 、 D_2 、 \dots 、 D_{n-1} 、 D_n にデータパルス34を印加する。これら走査パルス33及びデータパルス34により、所望の表示セルに書き込み放電を発生させる。図11の例では、データ電圧波形(E)及び(F)により、表示セル a_{11} 及び a_{22} にはデータを書き込み、表示セル a_{12} 、 a_{21} にはデータを書き込まず、これら以外の表示セルについては、データに従う書き込みが行われる

旨が示されている。

【0010】書き込み放電期間が終了すると、各走査電極及び維持電極に夫々負極性の維持パルス31、32が交互に印加される。これら維持パルス31、32により、走査電極と維持電極との間には、交互に極性が変化する交番維持パルスが印加される。この交番維持パルスにより、以前に書き込み放電があった表示セル24では、走査電極17と維持電極18との間で維持放電が発生し、データに従う表示が行なわれる。これら維持パルス31、32を印加する回数により表示輝度が制御される。

【0011】

【発明が解決しようとする課題】上記従来のPDPの駆動回路及び方法では、走査電極及び維持電極に夫々維持パルスが印加されるたびに、主として表示セル部の走査電極と維持電極との間に形成される静電容量の充・放電が行なわれる。このため、表示に本来必要な発光電力以外に、この静電容量の充・放電のための電力、いわゆる無効電力の消費が大きいという欠点があった。

【0012】上記欠点を除くために、各維持パルス印加の際の静電容量の放電電荷を回収する電荷回収回路を有する電荷回収型駆動回路が提案されている(例えば、特許公開平成5年第265397号、特許公開昭和63年第101897号)。ここで、図11に示した駆動波形を用いる場合を想定し、図11、図12及び図13を併せて参照して従来の電荷回収型駆動回路について説明する。図12はこの型式の従来のPDPの駆動回路をブロック図として示し、図13は図12の各ブロックを基本的な回路図として示している。図13では、図12の要素に対応する要素を同じ参照符号で示した。

【0013】図12において、PDP駆動回路は、走査電極17及び維持電極18を有する表示セル群41を含むPDP25の駆動のために設けられている。PDP駆動回路は、プライミングパルス36を維持電極18に印加するプライミングパルス発生回路42、電荷回収回路を含み、維持パルス31を維持電極18に印加する維持電極側維持パルス発生回路43、消去パルス35やプライミング消去パルス37を生成する消去パルス発生回路44、走査パルス33を生成する走査パルス発生回路45、電荷回収回路を含み、走査電極側の維持パルス32を生成する走査電極側維持パルス発生回路46、及び、走査電極側の維持パルス32、走査パルス33、消去パルス35等をその機能に対応して各走査電極17に一括又は個別に印加する混合回路47を有する。

【0014】図13において、維持電極側維持パルス発生回路43は、クランプ回路43aと電荷回収回路43bとから構成され、また、走査電極側維持パルス発生回路46も、同様に、クランプ回路46aと電荷回収回路46bとから構成される。各クランプ回路43a、46aは、対応する電極を周期的に電源電位 $-V_s$ 又は接地(グラウンド)電位に固定(クランプ)するスイッチング

回路として構成され、また、各電荷回収回路 43b、46b は、LC 共振回路を構成するコイル 101、102、103 及び電荷回収コンデンサ 111、112 から構成される。各電荷回収回路 43b、46b は、対応する走査電極 17 又は維持電極 18 に蓄積された電荷をこれらから回収し、また、その電荷をこれらに戻す機能を有し、この機能によって無効電力の消費を抑える。

【0015】上記のように、電荷回収回路 43b、46b は、一般に、維持電極 18 側および走査電極 17 側のそれぞれに設けられ、これら電極に蓄積される電荷を一旦回収し、また、この電荷を対応する電極に再び戻す。ところで、これら電荷回収回路は、スイッチング回路及び LC 共振回路から成り、回路構成が複雑でその製作費用もかさみ、駆動回路全体のコストを大きく上昇させるという欠点がある。

【0016】特に、維持電極側では電圧振幅が高いプライミングパルス 36 を扱う。このため、維持電極側維持パルス発生回路 43 内に含まれる電荷回収回路 43b にも高耐電圧素子を用いる必要がある。このような高耐電圧素子は高価であり、駆動回路の更なるコスト上昇を引き起こす。

【0017】本発明の目的は、電荷回収回路を有する従来の容量性負荷の駆動回路を改良し、もって、簡素な構成を採用することで、低価格で製作可能な、電荷回収回路を有する容量性負荷の駆動回路を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するために、本発明の容量性負荷の駆動回路は第 1 及び第 2 の電極を有する容量性負荷に正負両極性のパルスを交互に印加する、容量性負荷の駆動回路において、前記第 1 の電極との間で周期的に電荷の授受を行なう電荷回収回路と、前記電荷の授受の期間以外の少なくとも一部の期間において前記第 1 の電極を第 1 又は第 2 の所定電位にクランプする第 1 クランプ回路と、前記第 2 の電極を第 3 又は第 4 の所定電位にクランプすると共に一部の前記電荷の授受の期間に対応して前記第 2 の電極をフローティングさせる第 2 クランプ回路とを備えることを特徴とする。

【0019】また、本発明の容量性負荷の駆動方法は、第 1 及び第 2 の電極を有する容量性負荷に正負両極性のパルスを交互に印加する、容量性負荷の駆動方法において、第 2 の電極を一方の所定電位に維持しつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 1 電位に維持するステップ、第 2 の電極を前記所定電位に維持しつつ、第 1 の電極に電荷を戻し次いで第 1 の電極を第 2 電位に維持するステップ、第 2 の電極をフローティングさせつつ、第 1 の電極から電荷を回収するステップ、第 2 の電極を他方の所定電位に維持しつつ、第 1 の電極に電荷を戻し次いで第 1 の電極を第 2 電位に維持するステッ

プ、第 2 の電極を前記他方の所定電位に維持しつつ、第 1 の電極から電荷を回収するステップ、及び、第 2 の電極をフローティングさせつつ、第 1 の電極に電荷を戻し次いで第 1 の電極を第 2 の電位に維持するステップを順次に且つ周期的に有することを特徴とする。

【0020】上記に代えて、本発明のプラズマディスプレイパネルの駆動方法は、第 1 及び第 2 の電極を有する容量性負荷に正負両極性のパルスを交互に印加する、容量性負荷の駆動方法において、第 2 の電極を一方の所定電位に維持しつつ、第 1 の電極に電荷を与え次いで第 1 の電極を第 1 電位に維持するステップ、第 2 の電極を前記所定電位に維持しつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 2 電位に維持するステップ、第 2 の電極をフローティングさせつつ、第 1 の電極に電荷を与えるステップ、第 2 の電極を他方の所定電位に維持しつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 2 電位に維持するステップ、第 2 の電極を前記他方の所定電位に維持しつつ、第 1 の電極に電荷を与えるステップ、及び、第 2 の電極をフローティングさせつつ、第 1 の電極から電荷を回収し次いで第 1 の電極を第 2 の電位に維持するステップを順次に且つ周期的に有することを特徴とするように構成することも出来る。

【0021】ここで、本発明の容量性負荷の駆動回路及び駆動方法で駆動される容量性負荷に特に制限はなく、正負極性の各パルスが交互に現れる交番パルスで駆動される容量性負荷であればよい。例えば、プラズマディスプレイパネル、エレクトロルミネッセンスパネル（EL パネル）、液晶パネル等の平面パネルが挙げられる。

【0022】

【作用】本発明の容量性負荷の駆動回路及び駆動方法では、第 1 の電極の電荷を回収して第 1 の電極の電位を引き下げる際に第 2 の電極をフローティングさせ、第 1 の電極及び第 2 の電極間の容量結合を利用して第 2 の電極を第 1 の電極の電位変動に追従させ、同様に、第 1 の電極に電荷を戻して第 1 の電極の電位を立ち上げる際に第 2 の電極をフローティングさせ、第 2 の電極を第 1 の電極の電位変動に追従させることが出来る。ここで、第 2 の電極の電位の固定及びフローティングによる電位変動の追従を所望により組み合わせることにより、第 2 の電極側に電荷回収回路を設けなくて、所望の電位変動を第 2 の電極に与えることが出来る。

【0023】

【実施例】以下、図面を参照し、本発明の好適な実施例に基づいて本発明を更に詳細に説明する。ここで、本発明の容量性負荷の駆動回路で駆動される容量性負荷としては、従来例と同様に、プラズマディスプレイパネル（PDP）を例として説明する。図 1 は、本発明の 1 実施例の容量性負荷の駆動回路のブロック図である。また、図 2 は図 1 の各ブロックを基本回路図として示している。本実施例の容量性負荷の駆動回路では、維持電極

側維持パルス発生回路が、電荷回収回路を含まず、単にクランプ回路のみで構成されている。その他のブロック構成は従来の駆動回路のブロック構成と同様である。

【0024】図1において、本実施例の駆動回路は、維持電極18のための維持パルスを発生させる維持電極クランプ回路1と、維持電極18のためのプライミングパルスを発生させるプライミングパルス発生回路42と、走査パルスを発生させる走査パルス発生回路45と、走査電極のための維持パルスを発生させる走査電極維持パルス発生回路46と、走査電極のための消去パルスやプライミング消去パルスを発生させる消去パルス発生回路44と、走査パルス、維持パルス及び消去パルス等を各走査電極17に一括又は個別に与える混合回路47とから構成される。

【0025】図2において、維持電極クランプ回路1の出力は、共通に接続された維持電極18に接続され、維持電極を周期的に、 $-V_s$ 電位若しくはグランド電位に固定し、或いは、フローティング状態にするためのスイッチ159、158を有する。プライミングパルス発生回路42は、維持電極18に波高値が $-V_p$ のプライミ

ングパルスを与える。

【0026】混合回路47は、各走査電極17毎に配設され相互に直列に接続される1対のダイオード例えば121、123及び122、124を備え、各1対のダイオードを相互に接続する接続ノードが夫々各走査電極17に接続されている。この構成により、混合回路47は、走査パルス、消去パルス、プライミング消去パルス及び走査電極側の維持パルスを、その種類毎に、各走査電極17に個別に又は一括に与えるように機能する。

【0027】走査パルス発生回路45は、各走査電極17毎に配設される1対のスイッチ例えば151、153及び152、154を有し、各1対のスイッチの接続ノードは、混合回路47を経由して対応する各走査電極17に夫々接続される。消去パルス発生回路44は、波高値が $-V_{PE}$ のプライミング消去パルス又は波高値が $-V_E$ の消去パルスを生成し、これらを、混合回路47を経由して走査電極17に一括に与える。走査電極維持パルス発生回路46は、走査電極クランプ回路46a及び電荷回収回路46bから構成され、混合回路47を経由して走査電極17に維持パルスを供給すると共に、その維持

パルス供給時に走査電極17の電荷を回収する機能を有する。

【0028】図3は、図1及び図2のPDPにおける維持パルス印加期間内の1つの周期の動作を示すタイミング図である。同図において、波形51は走査電極17に印加される維持パルス列を、波形52は維持電極18に印加される維持パルス列を、夫々示す。また、波形53は、走査電極17と維持電極18の電圧差であって、各表示セルの放電空間に印加されて電荷維持のために有効に機能する交番維持パルス列を示す。図3には、更に各

スイッチのオン及びオフのタイミングが示されており、維持放電期間中の1つの周期内の各作動期間を参照符号60～72で示している。

【0029】維持放電期間中は、走査パルス発生回路45、プライミングパルス発生回路42、及び、消去パルス発生回路44内の各スイッチ151～157は、この維持パルスの発生及び印加には直接関係がないので、何れもオフの状態に保たれる。

【0030】まず、期間60では、維持電極クランプ回路1のスイッチ158がオン、走査電極クランプ回路46aのスイッチ160がオンとしてあり、従って、走査電極17及び維持電極18は、何れもグランド電位にクランプされている。また、このとき、電荷回収回路46b内の電荷回収コンデンサ111の電位は、略 $-V_s$ 電位にある。

【0031】期間61では、維持電極クランプ回路1のスイッチ158をオンとしたまま、走査電極クランプ回路46aのスイッチ160をオフ、電荷回収回路46bのスイッチ163をオンとする。これにより、電荷回収回路46b内のコイル102、ダイオード126、及び、混合回路47の各1対のダイオードの内の一方のダイオード例えば123、124を経由して、走査電極17の電荷を電荷回収コンデンサ111に回収し、LC共振により走査電極の電位を $-V_s$ 附近に迄引き下げる。このとき、電荷回収コンデンサ111の端子電圧はグランド電位に近くまで立ち上がる。

【0032】期間62では、電荷回収回路46b内のスイッチ163を再びオフ、走査電極クランプ回路46a内のスイッチ161をオンとし、走査電極17の電位を $-V_s$ の電位にクランプする。期間63では、スイッチ161をオフ、電荷回収回路46b内のスイッチ162をオンとして、電荷回収回路46b内のコイル101、ダイオード125及び混合回路47内の各1対のダイオードの内の他方のダイオード例えば121、122を経由して、電荷回収コンデンサ111の電荷を走査電極17側に戻し、走査電極17の電位を再びグランド電位附近まで立ち上げる。このとき、電荷回収コンデンサ111の電位は、ほぼ $-V_s$ 附近に迄低下する。

【0033】期間64では、スイッチ162をオフ、走査電極クランプ回路46aのスイッチ160をオンとして、走査電極17の電位をグランド電位にクランプする。上記の期間60から期間64までの動作は、従来の容量性負荷の電荷回収型駆動回路における動作と同様である。ここで、期間61から63迄の間において、走査電極17には、期間61及び63に夫々前縁及び後縁を有する負極性の維持パルス54が印加される。

【0034】引き続き、期間65では、走査電極クランプ回路46a内のスイッチ160をオフ、電荷回収回路46bのスイッチ163をオン、維持電極クランプ回路1内のスイッチ158をオフとする。スイッチ163の

オンによって、走査電極 17 の電荷が電荷回収コンデンサ 111 に回収され、走査電極 17 の電位はほぼ $-V_S$ 附近に迄低下する。このとき維持電極 18 につながっているスイッチ 157、158、159 が全てオフであるので、維持電極はフローティング状態にあり、維持電極 18 と走査電極 17 との容量結合により、維持電極 18 の電位は走査電極 17 の電位に追従する。

【0035】期間 66 では、スイッチ 163 をオフ、維持電極クランプ回路 1 のスイッチ 159 をオンとして、維持電極 18 の電位を $-V_S$ にクランプする。次いで、期間 67 では、電荷回収回路 46b のスイッチ 162 をオンとし、電荷回収コンデンサ 111 から電荷を戻すことにより、走査電極 17 の電位をほぼグランド電位附近にまで立ち上げる。以上の期間 65 から期間 67 の間において、波形 51 中に示されるように、走査電極 17 には期間 65 及び 67 に前縁及び後縁を有する負極性の維持パルス 57 が印加される。次いで、期間 68 で、スイッチ 162 をオフにする共に、走査電極クランプ回路 46a のスイッチ 160 をオンとして、走査電極 17 をグランド電位にクランプする。

【0036】期間 69 では、走査電極クランプ回路 46a のスイッチ 160 をオフ、電荷回収回路 46b のスイッチ 163 をオンとし、電荷回収コンデンサ 111 に電荷を回収して、走査電極 17 の電位を再び $-V_S$ 附近に迄引き下げる。このとき維持電極クランプ回路 1 のスイッチ 159 は前記の如くオンとしてあるので、維持電極 18 の電位は $-V_S$ に固定されたままである。

【0037】次いで、期間 70 でスイッチ 163 をオフとする。この状態で更に期間 71 において、維持電極クランプ回路 1 のスイッチ 159 をオフとする。同時に、電荷回収回路 46b のスイッチ 162 をオンとし、電荷回収コンデンサ 111 から走査電極 17 側に電荷を戻して、走査電極 17 の電位をほぼグランド電位に迄立ち上げる。このとき、維持電極 18 につながるスイッチは全てオフ状態であるため、維持電極 18 はフローティング状態にあり、維持電極 18 と走査電極 17 との容量結合により、維持電極 18 の電位は走査電極 17 の電位に追従しこれに並行して立ち上がる。以上の期間 69 から期間 71 の間において、波形 51 中に示されるように、走査電極 17 には期間 69 及び 71 に夫々前縁及び後縁を有する負極性の維持パルス 58 が印加される。

【0038】次いで、期間 72 では、走査電極クランプ回路 46a のスイッチ 160 及び維持電極クランプ回路のスイッチ 158 を夫々オンとして、走査電極 17 及び維持電極 18 を夫々グランド電位にクランプする。以上の期間 65 から期間 72 までの間において、維持電極 18 には、波形 52 中に示されるように、期間 65 及び 72 に夫々前縁及び後縁を有する負極性の維持パルス 56 が印加される。

【0039】上記の期間 60 から 72 迄において、走査

電極 17 と維持電極 18 との間には、波形 53 にみられるように、走査電極 17 に印加される負極性の維持パルス 54 と維持電極 18 のグランド電位とにより得られる負極性のパルス 55 と、走査電極 17 の維持パルス 57 及び 58 の間のグランド電位と維持電極 18 の負極性の維持パルス 56 印加期間中の負電位レベルとによる正極性のパルス 59 とが印加される。即ち、表示セル群 41 内の走査電極 17 と維持電極 18 との間の放電空間には、維持放電に寄与する交番維持パルスが印加される。

10 【0040】以上の期間 60 から期間 72 までを 1 周期とする駆動動作を周期的に繰り返すことにより、表示セル群 41 に交番維持パルスを繰り返し印加することが出来る。従って、上記実施例の駆動回路を用いることにより、維持電極側に電荷回収回路を設けることなく、容量性負荷を、電荷回収型駆動によって駆動することができる。これにより、回路の簡素化によるコストダウンと、要素数の減少に伴う信頼性の向上とを実現することができる。

【0041】なお、上記実施例の構成において、走査電極からの電荷回収及び走査電極への電荷の戻しに代えて夫々、走査電極への電荷の付与及びこれからの回収を行なう構成も採用できる。この場合、1 周期の最初の期間 60 においては、走査電極及び維持電極を夫々 $-V_S$ に維持し、且つ、電荷回収コンデンサの電位を略グランドレベルとしておく。以下、前記電荷の回収に代えて電荷の付与を、電荷の戻しに代えて電荷の回収を行なう。この場合にも上記実施例と同様な効果が得られる。

【0042】また、上記実施例の記述では、図 2 の基本回路を参照して説明したが、現在のエレクトロニクス技術を用いて上記回路は容易に実現できる。上記スイッチを電界効果トランジスタ（以下 FET と略記する）で実現した場合を図 4 に例示する。同図においては、図 2 のスイッチ 151 から 158、160 から 163 にそれぞれ対応する FET を、参照符号 151F から 158F 及び 160F から 163F で夫々示している。

【0043】図 4 の回路は図 2 の回路と実質的にほぼ同じ回路構成を有するが、図 4 では、P チャネル FET (159FP) 及び N チャネル FET (159FN) から成る双方向スイッチとして機能する FET 群 159F を図 2 のスイッチ 159 に対応して設けている。これにより、期間 69 において維持電極 18 が波高値 $-V_S$ よりさらにマイナス方向に大きく振れることを防止する。

【0044】一般に、FET では、スイッチとして機能する部分に寄生ダイオードが並列に形成されることが知られている。例えば図 5 に示すように、P チャネル FET 91 では寄生ダイオード 92 が、N チャネル FET 93 では寄生ダイオード 94 が並列に入る。これら寄生ダイオード 92、94 に起因する短絡電流を防止するため、図 4 では、ダイオード 129 ~ 134 を設けてある。

【0045】例として、図11に示したような、維持電極に印加されるプライミングパルス36の波高値 $-V_P$ が、維持パルス31の波高値 $-V_S$ より負方向に大きい一般的な場合を考える。維持電極クランプ回路1内にダイオード132を設けないと、プライミングパルス36を発生させるためにプライミングパルス発生回路42のFET(157F)をオンとしたときに、 $-V_S$ 電源ライン \rightarrow FET(159FN) \rightarrow ダイオード131 \rightarrow FET(157F) $\rightarrow -V_P$ 電源ラインへと短絡電流が流れてしまう。図2には示されていない他のダイオードも同様な目的で設けられている。

【0046】なお、上記実施例では、走査電極17及び維持電極18に負極性の維持パルスを印加する場合を例として述べた。しかし、本発明の駆動回路は、これに限らず、走査電極17及び維持電極18に夫々正極性の維持パルスを印加する場合にも適用できる。図6は、この場合を示す第2の実施例の駆動回路の基本回路図である。図2におけるコイル101、102、電荷回収コンデンサ111、ダイオード121 \sim 126、及び、スイッチ151 \sim 153のそれぞれに対応して、コイル201、202、電荷回収コンデンサ211、ダイオード221 \sim 226、及び、スイッチ251 \sim 263を配置している。動作の基本については、図2の場合と同様であるので、詳細な説明は略する。

【0047】なお、上記各実施例において、電荷回収コンデンサ111、211の静電容量は、負荷を構成するPDPの表示セル部41の静電容量の合計以上に設定することが好ましい。また、コイルのリアクタンスは、PDPの動作速度及び回路のLC共振周波数を勘案して決定される。

【0048】図7は、本発明の第3の実施例の構成を図2と同様に示す図である。この実施例では、電荷回収回路46cの構成が図2の電荷回収回路46bの構成と異なり、その他の構成は図2と同様である。なお、図7に示した電荷回収回路に類似の例は、特許公告平5-81912号公報にみられる。図8は、図7における各スイッチの動作及び駆動電圧波形を図3と同様に示すタイミング図である。

【0049】図8には示されていないが、第1の実施例と同様に、維持パルスを印加している期間中は、スイッチ151 \sim 157は、維持パルスの発生及び印加には直接関係がないので、何れもオフ状態に保ったままである。

【0050】期間60では、維持電極クランプ回路1のスイッチ158はオン、走査電極クランプ回路46aのスイッチ160もオンであり、走査電極17及び維持電極18は何れもグランド電位にクランプされる。

【0051】期間61では、維持電極クランプ回路1のスイッチ158をオンとしたまま、走査電極クランプ回路46aのスイッチ160をオフとする。また、電荷回

収回路46cのスイッチ167を一旦オンとし、電荷回収回路46cのコイル105、混合回路47の各ダイオード123及び124を経由して、走査電極17を $-V_S$ 電源ラインに導通させ走査電極17の電位を引き下げる。走査電極17の電位が $-V_S/2$ 以下($-V_S/2 \sim -V_S$ の間、以下同様)になった時点でスイッチ167をオフにする。このとき、コイル105に発生する逆起電力の作用により、走査電極17 \rightarrow 混合回路47の各ダイオード123及び124 \rightarrow コイル105 \rightarrow ダイオード138 \rightarrow グランドと、走査電極17からの電流は継続して流れる。このようにして、回路の電力損失を低減しながら走査電極17が $-V_S$ の電位となる迄電流を流す。ダイオード137は、ダイオード137のカソード側の電圧が $-V_S$ 以下になることを防ぐとともに、ダイオード138と協同して、コイル105の余った電力を $-V_S$ 電源ラインに戻す機能を有する。

【0052】期間62では、走査電極クランプ回路46a内のスイッチ161をオンとし、走査電極17の電圧を $-V_S$ にクランプする。次いで、期間63では、スイッチ161をオフ、電荷回収回路46cのスイッチ166を一旦オンとし、走査電極17をグランドに導通させて走査電極の電位を立ち上げる。走査電極17の電位が $-V_S/2$ 以上となった時点でスイッチ166をオフにする。コイル104に発生する逆起電力の作用により、 $-V_S$ 電源 \rightarrow ダイオード136 \rightarrow コイル104 \rightarrow 混合回路47の各ダイオード121及び122 \rightarrow 走査電極17と、走査電極の電流は継続して流れる。このようにして、回路の電力損失を低減しつつ走査電極17をグランド電位まで立ち上げる。ダイオード135は、ダイオード135のアノード側の電位がグランド電位以上になることを防ぐとともに、ダイオード136と協同して、コイル104の余った電力を $-V_S$ 電源に戻す機能を有する。

【0053】期間64では、走査電極クランプ回路46a内のスイッチ160をオンとして、走査電極17の電位をグランド電位にクランプする。期間61から期間63の間で走査電極17には維持パルス84が印加される。期間60から期間64までの動作の基本は、特許公告平5-81912に示されている回路動作と同様である。次に、本発明に基づいて、電荷回収回路46cにより維持電極18に維持パルスを印加する部分について説明する。

【0054】まず、期間65では、スイッチ160をオフ、維持電極クランプ回路1のスイッチ158をオフとし、また、電荷回収回路46cのスイッチ167を一旦オンとして、走査電極17の電位を負方向に引き下げる。このときの電荷回収回路46cの動作自体は期間61での動作と同じであり、期間65の終了時までにはスイッチ167をオフとする。しかし、期間65では、維持電極18につながるスイッチ157、158、159は

全てオフ状態にしてあるので、維持電極はフローティング状態にあり、波形82に示すように、維持電極18の電位も、走査電極17の電位に追従して引き下げられる。

【0055】期間66では、維持電極クランプ回路1のスイッチ159をオンとして維持電極18の電位を $-V_s$ にクランプする。次いで、期間67では、電荷回収回路46cのスイッチ166を一旦オンとし、走査電極17の電圧をグラウンドレベル方向に立ち上げ、期間67の終了前にスイッチ166をオフとする。コイルの逆起電力の作用により期間67内で走査電極17はグラウンド電位に立ち上がる。以上の期間65から期間67の間において、波形81に示すように、走査電極17に維持パルス87が印加される。引き続き、期間68では、走査電極クランプ回路46aのスイッチ160をオンとして、走査電極17の電位をグラウンド電位にクランプする。

【0056】期間69では、走査電極クランプ回路46aのスイッチ160をオフ、電荷回収回路46cのスイッチ167を一旦オンとして、走査電極17の電位を再び負方向に引き下げる。このとき維持電極クランプ回路1のスイッチ159はオンとしてあるので、維持電極の電位は $-V_s$ にクランプされている。走査電極17の電位が $-V_s/2$ 以下に達した時点で、期間61の場合と同様に、スイッチ167をオフにする。

【0057】期間70では、維持電極クランプ回路1のスイッチ159はまだオンのままである。次の期間71でスイッチ159をオフとし、維持電極18につながるスイッチを全てオフ状態にする。これとともに、電荷回収回路46cのスイッチ166を一旦オンとして走査電極17の電位をグラウンドレベル方向に立ち上げる。このとき、維持電極18はフローティング状態にあるので、維持電極18の電位も走査電極17の電位に追従して立ち上げられる。走査電極17の電位が $-V_s/2$ 以上に達した時点で、期間63と同様に、スイッチ166をオフとする。以上の期間69から期間71の間において、波形81に示すように走査電極17に維持パルス88が印加される。

【0058】期間72では、走査電極クランプ回路46aのスイッチ160及び維持電極クランプ回路1のスイッチ158を夫々オンとして、走査電極17及び維持電極18を夫々グラウンド電位にクランプする。以上の期間65から期間72までの動作により、維持電極18には維持パルス86が印加される。

【0059】上記の作動により、走査電極と維持電極の相互間に印加される電圧パルスは、期間61から63迄の負極性のパルス85、及び、期間67から69迄の正極性のパルス89となり、第1の実施例と同様に、走査電極と維持電極との間に交番パルス83が印加される。

【0060】維持放電期間において、期間60から期間72までを1周期とする動作を周期的に繰り返すことに

より、表示セル群41に交番維持パルス83を繰り返し印加することが出来る。従って、第3の実施例においても、維持電極側に電荷回収回路を設けることなく、容量性負荷の電荷回収型駆動が可能となる。

【0061】上記各実施例では、図9及び図10を参照して説明した型式のPDPを駆動する場合を例として、本発明の容量性負荷の駆動回路及び駆動方法を記述した。しかし、本発明は、この型式のPDPの駆動に限らず、他の型式のAC型PDPの駆動にも適用できる。また、PDPに限らず、その他の容量性の表示パネル、例えばエレクトロルミネセントパネルや液晶パネル等の平面パネルにも好適に採用できる。更に、本発明は、一般的に、正負両極性のパルスの印加が必要な容量性負荷であれば、いかなる容量性負荷の駆動にも適用できる。

【0062】上記各実施例の構成においては、本発明の好適な態様に基づいて説明したが、上記実施例の構成から種々の修正及び変更が可能である。例えば、図4の実用回路では、スイッチとしてFETを採用した例を示したが、FETに代えてバイポーラトランジスタ等を採用することが出来る。また、走査電極側に代えて維持電極側に電荷回収回路を設けるように構成することも出来る。なお、この場合、PDPでは、維持電極側の動作電圧が高いことに起因して、実施例の場合に比して回路部品のコストが上昇することがある。更に、上記各実施例では、維持パルスの前縁及び後縁の期間の全てに電荷回収回路を用いる場合について述べたが、これに代えて、維持パルスの前縁及び/又は後縁の一部に、本発明における電荷回収回路を用いるようにしてもよい。

【0063】

【発明の効果】以上説明したように、本発明の容量性負荷の駆動回路及び駆動方法によると、容量性負荷に印加する交番パルスの発生回路を簡素な回路構成で実現できるので、本発明は、容量性負荷の電荷回収型駆動回路のコストを低く抑え、また、回路の信頼性を向上させた顕著な効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の容量性負荷の駆動回路のブロック図。

【図2】図1の容量性負荷の駆動回路の基本回路図。

【図3】第1の実施例の駆動回路における駆動電圧波形及びスイッチング動作を示すタイミング図。

【図4】図2の基本回路を実現する実用回路図。

【図5】(a)及び(b)は、FETの寄生ダイオードを示す説明用の回路図。

【図6】本発明の第2の実施例の容量性負荷の駆動回路の基本回路図。

【図7】本発明の第3の実施例の容量性負荷の駆動回路の基本回路図。

【図8】図7の回路における駆動電圧波形及びスイッチング動作を示すタイミング図。

【図 9】一般的な交流面放電型 PDP の構造を示す断面図。

【図 10】図 9 の交流面放電型 PDP の電極配置を示す平面図。

【図 11】図 9 の交流面放電型 PDP の駆動波形を示すタイミング図。

【図 12】従来の容量性負荷の電荷回収型駆動回路のブロック図。

【図 13】図 12 の容量性負荷の電荷回収型駆動回路の基本回路図。

【符号の説明】

1 維持電極クランプ回路

11 第 1 絶縁基板

12 第 2 絶縁基板

13、D₁、D₂、・・・、D_{n-1}、D_n 列電極

14、20 絶縁層

15、21 隔壁

16 蛍光体

17、S₁、S₂、・・・、S_m 走査電極

18、C₁、C₂、・・・、C_m 維持電極

19 バス電極

22 保護層

23 放電ガス空間

24 表示セル

25 プラズマディスプレイパネル

26 シール部

31、32、54、55、84、85 維持パルス

33 走査パルス

34 データパルス

35 消去パルス

36 プライミングパルス

37 プライミング消去パルス

41 表示セル群

42 プライミングパルス発生回路

43 維持電極側維持パルス発生回路

43a、46a クランプ回路

43b、46b、46c 電荷回収回路

44 消去パルスなどの発生回路

10 45 走査パルス発生回路

46 走査電極側維持パルス発生回路

47 混合回路

51、81 走査電極の維持パルス列

52、82 維持電極の維持パルス列

53、83 交番維持パルス

56、86 維持電極の維持パルス

54、57、84、87 走査電極の維持パルス

55、59、85、89 交番パルスの各パルス

58、88 走査電極の維持パルス

20 60～72 期間

91、93 FET

92、94 寄生ダイオード

101～105、201、202 コイル

111、112、211 電荷回収コンデンサ

121～138、221～226 ダイオード

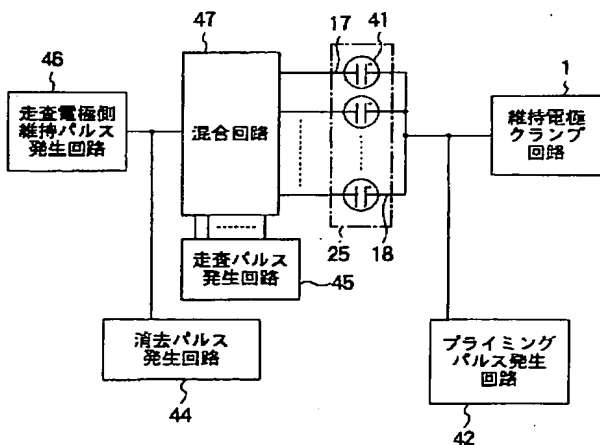
151～167、251～263 スイッチ

151F～158F、160F～163F、159F

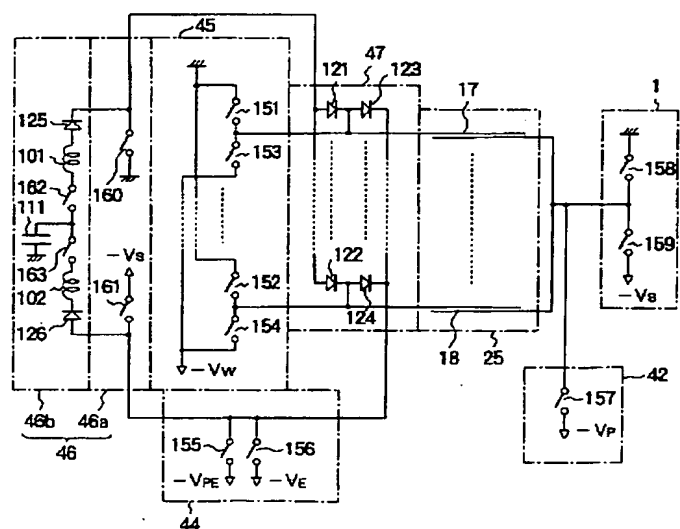
N、159FP FET

159F FET群

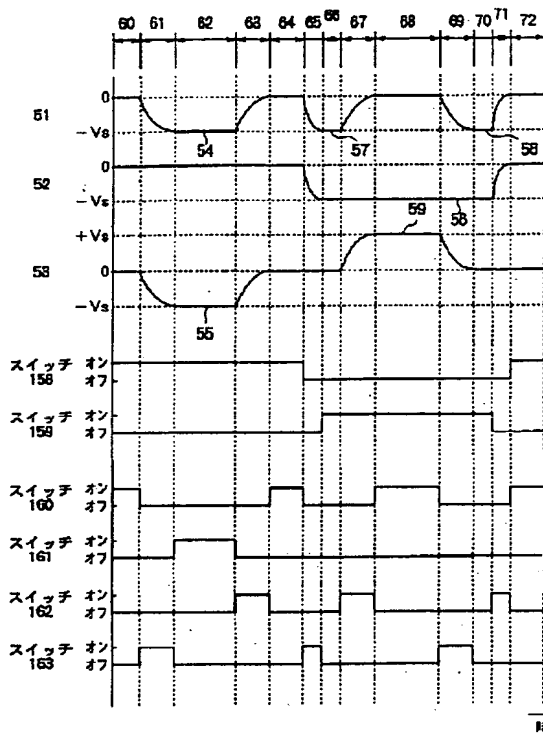
【図 1】



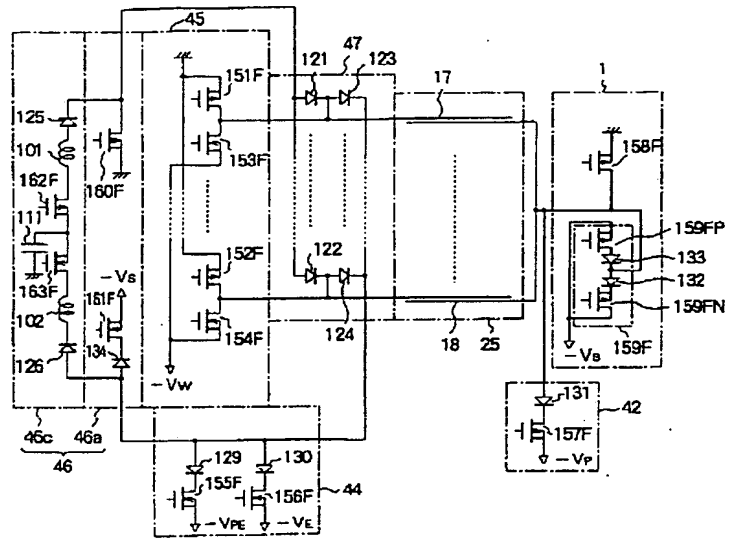
【図 2】



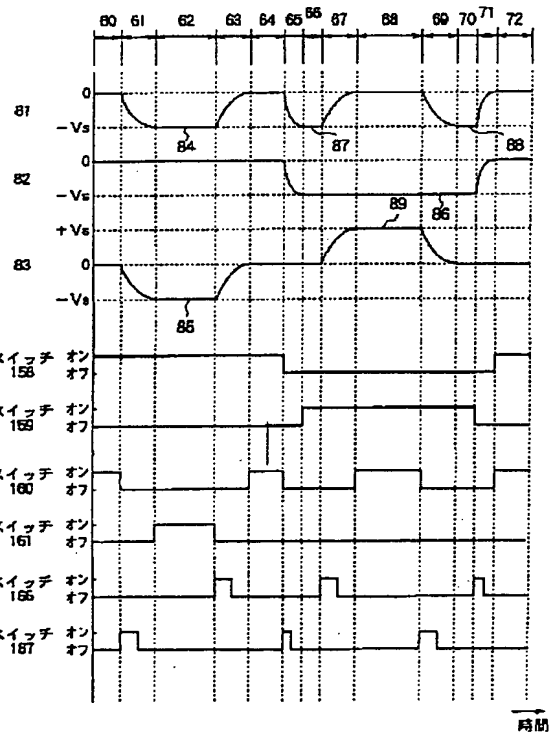
【図3】



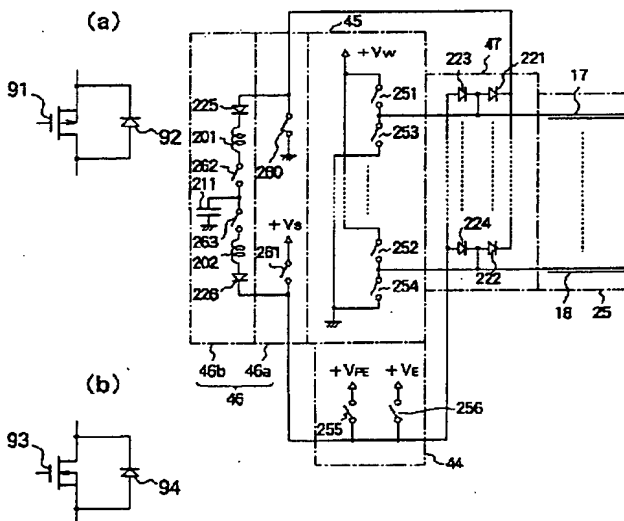
【図4】



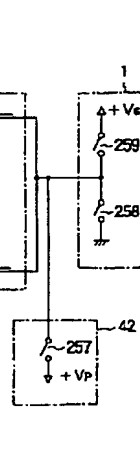
【図8】



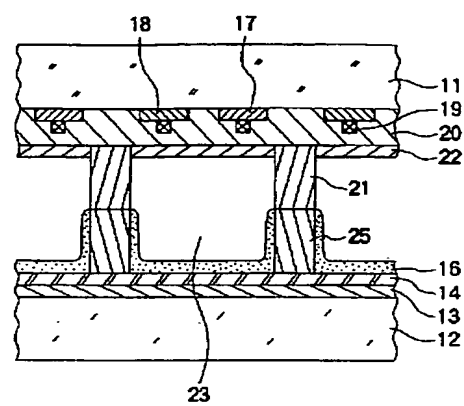
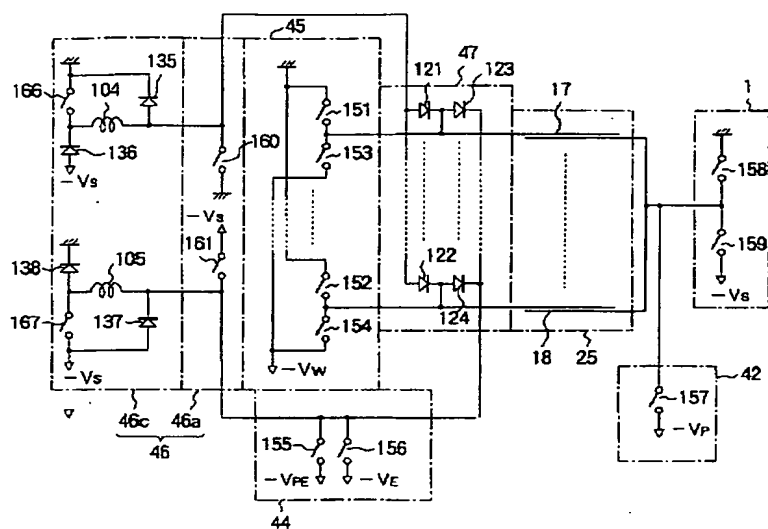
【図5】



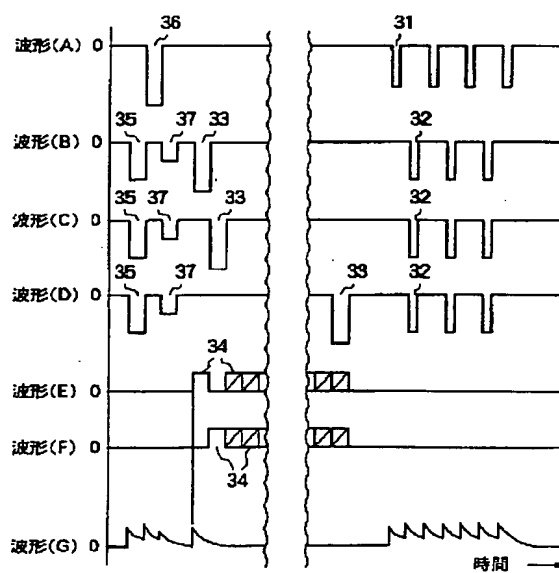
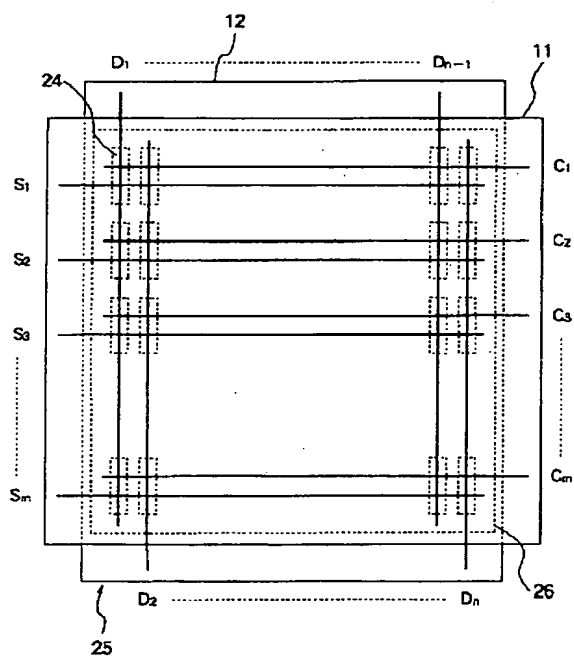
【図6】



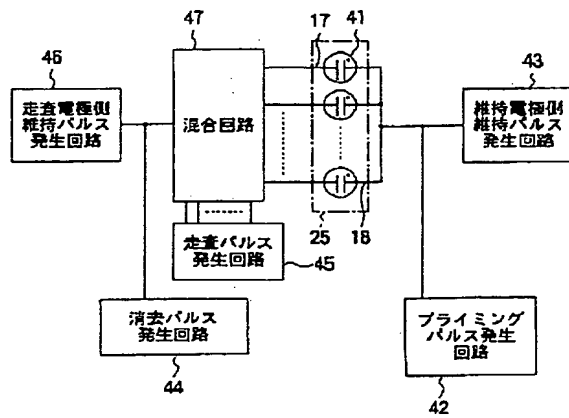
【図 9】



【図 1 1】



【図 12】



【図 13】

